

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-056200

(43)Date of publication of application : 24.02.1992

(51)Int.Cl.

H05K 13/08

H05K 13/02

(21)Application number : 02-164571

(71)Applicant : SONY CORP

(22)Date of filing : 21.06.1990

(72)Inventor : MIYAUCHI KAZUO

SUNAMI KAZUYA

BANDAI KOHEI

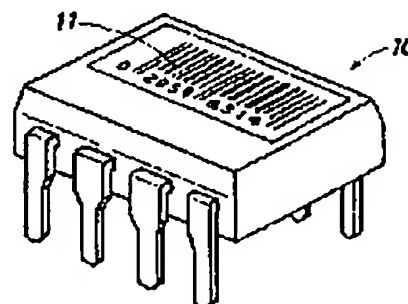
HIGUCHI TAKAKO

(54) DEVICE FOR MANUFACTURE HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable scattering of characteristics of an IC to be compensated for by reading characteristic display which is shown on the IC and selecting chip parts corresponding to the scattering of characteristics of the IC.

CONSTITUTION: Characteristics of an IC are examined by inspection process of the IC and a bar code 11 is printed onto a package or a bare chip of an IC 10. When mounting the IC with a mounting machine, data of characteristics of the IC 10 is read by a bar code reader and proper mounting parts are selected. A hybrid integrated circuit thus obtained has a specified performance. Thus, it is possible to select optimum externally-mounted parts, thereby enabling the IC to be mounted along with chip parts by mounting machine without causing the IC to be classified due to scattering and obtaining a hybrid integrated circuit with a certain performance.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-56200

⑬ Int. Cl.⁵

H 05 K 13/08
13/02

識別記号

A
D

庁内整理番号

8315-4E
8315-4E

⑭ 公開 平成4年(1992)2月24日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 混成集積回路の製造装置

⑯ 特 願 平2-164571

⑰ 出 願 平2(1990)6月21日

⑱ 発 明 者	宮 内	和 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	角 南	和 弥	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	萬 代	浩 平	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	樋 口	貴 子	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社			東京都品川区北品川6丁目7番35号
⑳ 代 理 人	弁理士 松 村 修			

明 細 書

て混成集積回路を製造するようにした製造装置に関する。

1. 発明の名称

混成集積回路の製造装置

【発明の概要】

ICは製造工程において特性にばらつきを生ずるために、ICをチップ部品とともに回路基板上にマウントする際に、ICに予め表示されているバーコードの特性表示を利用して、この特性に応じた外付け部品をマウントすることによってICのばらつきを補正するようにしたものであって、量産ICの特性のばらつきを補正して一定の性能を有する混成集積回路を供給するようにしたものである。

2. 特許請求の範囲

1. 回路基板上にICとチップ部品とをマウントして混成集積回路を製造するようにした装置において、

前記IC上に予め表示されている特性表示を読み取る手段と、

前記読み取り手段によって読み取られた前記ICの特性のばらつきに応じてチップ部品の選択を行なう選択手段とを具備することを特徴とする混成集積回路の製造装置。

【従来の技術】

一般にトランジスタ、ダイオード、抵抗、コンデンサ等の回路部品は、予めその特性がチェックされるとともに、特性に応じたロットに分類されるようになっており、分類された状態でケース詰めされ、あるいはまたテーピングされて出荷され

3. 発明の詳細な説明

【産業上の利用分野】

本発明は混成集積回路の製造装置に係り、とくに回路基板上にICとチップ部品とをマウントし

る。従ってこのような回路部品は、ロット毎になされる表示によってその特性を判別することができる。

【発明が解決しようとする問題点】

混成集積回路はプリント基板上にＩＣとともに上記のような各部品をマウントするようにしたものであって、ＩＣに上記のような部品を接続することによって所定の動作を行なう回路を形成するようにしている。ところがＩＣについても個々に特性にばらつきがあるために、所定の特性の外付け部品を接続しても、必ずしも同じ動作が行なわれるとは限らず、混成集積回路から成るフィルタの遮断周波数がばらつく等の問題があった。

本発明はこのような問題点に鑑みてなされたものであって、プリント基板上にＩＣとチップ部品とをマウントして成る混成集積回路の特性が一定になるようにした製造装置を提供することを目的とするものである。

の製造システムをブロック的に示したものであって、このシステムはプリント基板供給装置を備えており、このプリント基板供給装置によって、所定の回路基板が供給されるようになっている。プリント基板は印刷機に供給され、この印刷機によってその表面にクリーム半田が塗布されるようになっている。そしてこの後にプリント基板が実装機に供給され、ＩＣとチップ部品とを実装するようにしている。ＩＣとチップ部品とを実装した回路基板はリフロー炉に供給され、ここでクリーム半田を溶融して半田付けを行なうようにしている。そして半田付けを行なった回路基板は回路の特性のチェックが行なわれ、これによって良品と不良品の判別を行なうようにしている。

実装機に供給されるＩＣはＩＣの生産プロセスで予め特性のチェックが行なわれるようになっており、この特性のチェックに応じてバーコードプリントを行なうようにしている。そして実装機はこのようなＩＣのバーコードを読取るとともに、ＩＣ供給装置によって実装機でプリント基板上に

【問題点を解決するための手段】

本発明は、回路基板上にＩＣとチップ部品とをマウントして混成集積回路を製造するようにした装置において、

前記ＩＣ上に予め表示されている特性表示を読取る手段と、

前記読取り手段によって読取られた前記ＩＣの特性のばらつきに応じてチップ部品の選択を行なう選択手段とを具備するようにしたものである。

【作用】

従って予め表示されているＩＣの特性表示に応じて対応する特性のチップ部品を選択してマウントすることによって、ＩＣの特性のばらつきをチップ部品によって吸収することが可能になり、ＩＣのばらつきにかかわらず混成集積回路の特性を一定にすることが可能になる。

【実施例】

第１図は本発明の一実施例に係る混成集積回路

マウントするようにしている。また実装機に供給されるチップ部品は、上記ＩＣの特性に応じてチップ部品選択装置によって選択されるようになっており、この後に供給装置によって実装機に供給され、上記ＩＣとともにプリント基板にマウントされるようになっている。

第２図は実装機のチップ部品の選択機構を示すものであって、実装機のＣＰＵにはバーコードリーダーが接続されており、このバーコードリーダーによってＩＣ供給装置から供給されるＩＣの特性を読取るようにしている。そしてこの特性はＣＰＵを通してメモリに一旦保持されるようにしている。しかもＣＰＵは上記ＩＣの特性に応じてチップ部品選択装置を作動させるようにしており、これによって最適な定数のチップ部品のマウントを行なうようにしている。

第３図はこのような製造システムにおいて用いられるＩＣ１０を示すものであって、このＩＣ１０のパッケージの表面には例えばバーコードによって特性表示１１が行なわれるようになっている。

第4図はこのようなIC10によって構成されるハイパスフィルタの回路構成を示しており、端子12、13によって調整用抵抗14を接続するようにしている。そしてこのような抵抗14の抵抗値が、IC10のバーコード11に応じて選択されるようになっている。

第5図はこのような調整用抵抗14の選択のためのCPUの動作を示しており、バーコードリーダを通してCPUはバーコードの読取りを行なうとともに、特性が K_1 よりも大きい場合には、定数が C_1 の調整用抵抗を選択する。またバーコードによって読取られる特性が K_2 よりも大きい場合には定数が C_2 の抵抗14を選択する。バーコードによって読取られるICの特性が K_3 よりも大きい場合には定数 C_3 の調整用抵抗を選択する。そしてIC10の特性が K_3 以下の場合には定数が C_4 の抵抗を選択するようにしている。

一般にICは量産工程において特性にばらつきを生ずる。この特性のばらつきは外付け部品を用いることによって補正することができる。まずI

C生産工場の検査工程でICチェッカーによって特性を調べ、IC10のパッケージまたはペアチップにバーコード11をプリントする。ICは上記の製造装置によってプリント基板にマウントされるが、実装機によってマウントするときに、バーコードリーダによってIC10の特性のデータを読込んで、適切な外付け部品を選んでいく。このようにして得られる混成集積回路が所定の性能を得ることになる。

このようにIC10が量産されるときに生ずる特性のばらつきをバーコード11によって管理し、プリント基板にマウントするときに、バーコードリーダによって読込まれた特性に応じて、最適な外付け部品を選ぶようにしたものである。従ってICを特性のばらつきによって分類することなく実装機によってチップ部品とともに実装し、一定の性能を有する混成集積回路を得ることが可能になる。

【発明の効果】

以上のように本発明は、IC上に予め表示されている特性表示を読取るとともに、読取られたICの特性のばらつきに応じてチップ部品の選択を行なうようにしたものである。従ってICの特性のばらつきを選択されるチップ部品によって補正することにより、混成集積回路の特性を所定の性能とすることが可能になる。

12、13・・・端子

14・・・・・・調整用抵抗

代理人 松 村 修

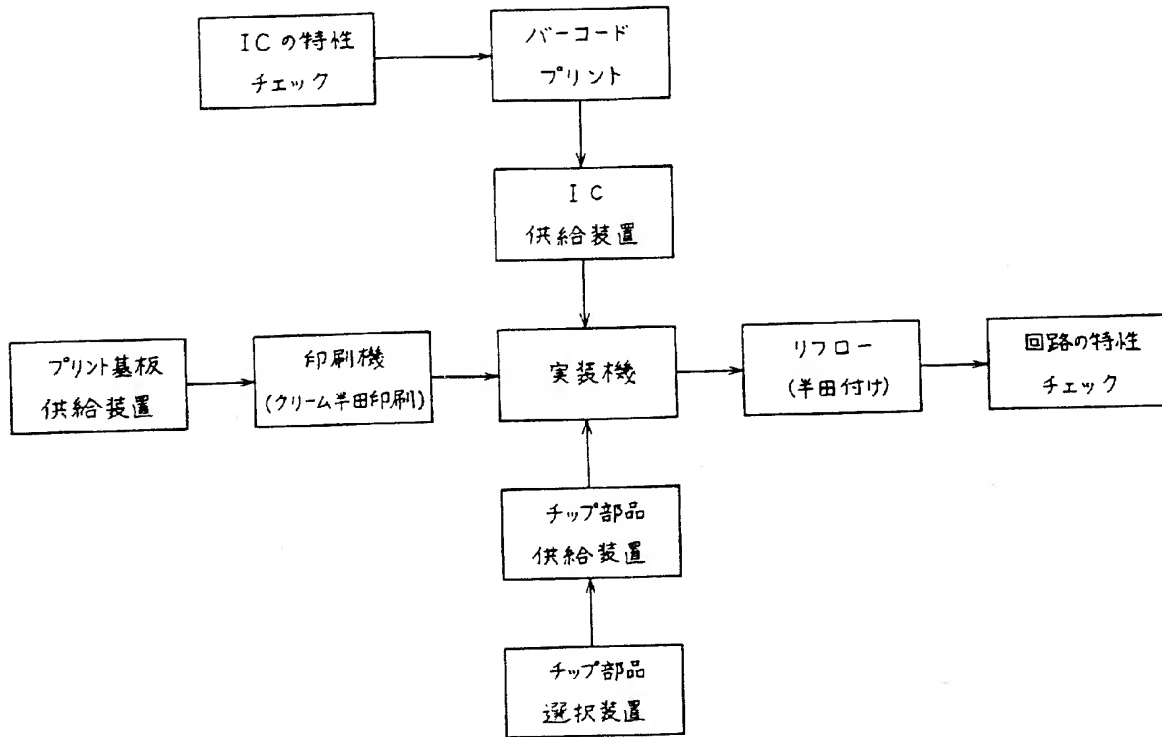
4. 図面の簡単な説明

第1図は本発明の一実施例に係る混成集積回路の製造システムを示すブロック図、第2図は実装機のチップ部品選択機構を示すブロック図、第3図はバーコード表示を行なったICの外観斜視図、第4図はこのICによって構成されるハイパスフィルタの回路図、第5図は外付け部品の選択動作を示すフローチャートである。

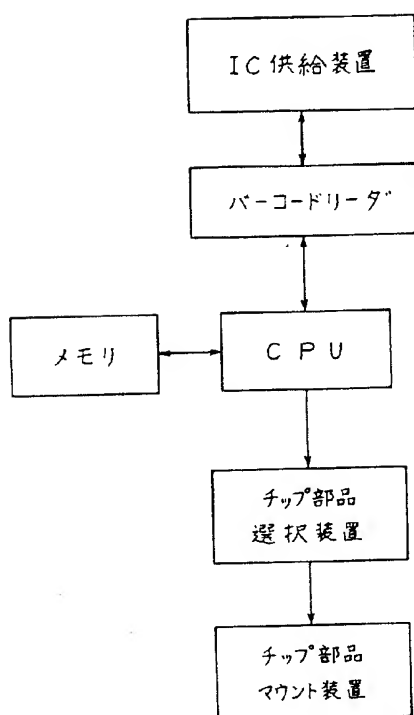
また図面中の主要な部分の名称はつぎの通りである。

10・・・・・・IC

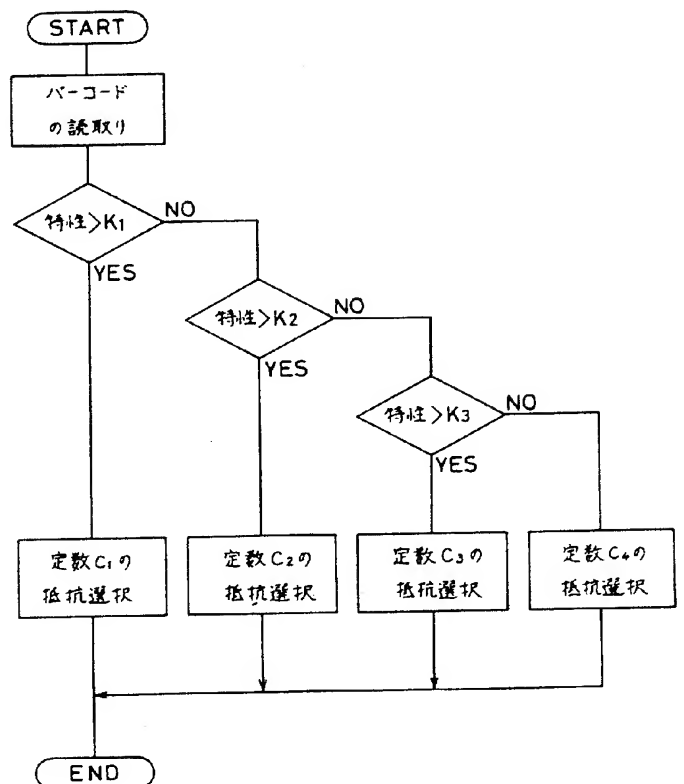
11・・・・・・バーコード(特性表示)



第 1 図 混成集積回路の製造システム



第 2 図 実装機のチップ部品選択機構



第 5 図 取付け部品の選択動作

